Điểm	**ĐỀ THI CUỐI KỲ** - Ngày thi: 30/12/2016 MÔN: **KỸ THUẬT SỐ** Thời gian làm bài: **110 phút** – KHÔNG sử dụng tài liệu Làm bài ngay trên đề thi – Đề thi bao gồm **6 câu** **Sinh viên trình bày cách làm đầy đủ**	Chữ ký giám thị
Họ và tên: …..ĐÁP ÁN…….. MSSV: …….. Nhóm: ……..		

		(1) Beginning	(2) Developing	(3) Accomplished	(4) Exemplary
Câu 1 (2.0đ)		☐	☐	☐	☐
Câu 2 (2.0đ)		☐	☐	☐	☐
Câu 3 (1.0đ)		☐	☐	☐	☐
Câu 4 (1.0đ)					
Câu 5 (2.5đ)		☐	☐	☐	☐
Câu 6 (1.0đ)					
Tổng cộng (10đ)					

Đánh giá ABET:
Không làm được gì → Mức 1

Câu 1: Câu a đúng ý, có sai sót chút (Vẽ C nối vào A/B0) → Mức 2
Câu a đúng, b sai → Mức 3
Câu a đúng, b đúng ý, vẽ sai chút hoặc thiếu LED → Mức 4

Câu 2: Câu a đúng, b sai → Mức 3
Câu a đúng, b đúng → Mức 4
Không có mức 2

Câu 3: Câu a đúng, b sai → Mức 3
Câu a đúng, b đúng → Mức 4
Không có mức 2

Câu 5: Câu a đúng → Mức 2
Câu a đúng, b đúng → Mức 3
Câu a, b, c đúng → Mức 4

Câu 1: (2.0đ)

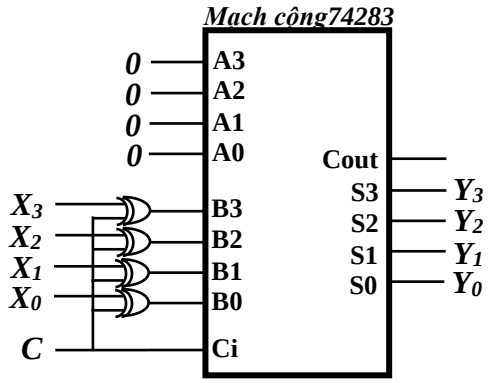
a. Chỉ sử dụng một mạch cộng 4 bit (74283) và các cổng logic (nếu cần) để thiết kế mạch tổ hợp có hoạt động như sau:

Nếu C = 0 thì $Y_3Y_2Y_1Y_0 = X_3X_2X_1X_0$

Nếu C = 1 thì $Y_3Y_2Y_1Y_0$ = bù 2 của $X_3X_2X_1X_0$

Trình bày cách làm và vẽ sơ đồ thiết kế

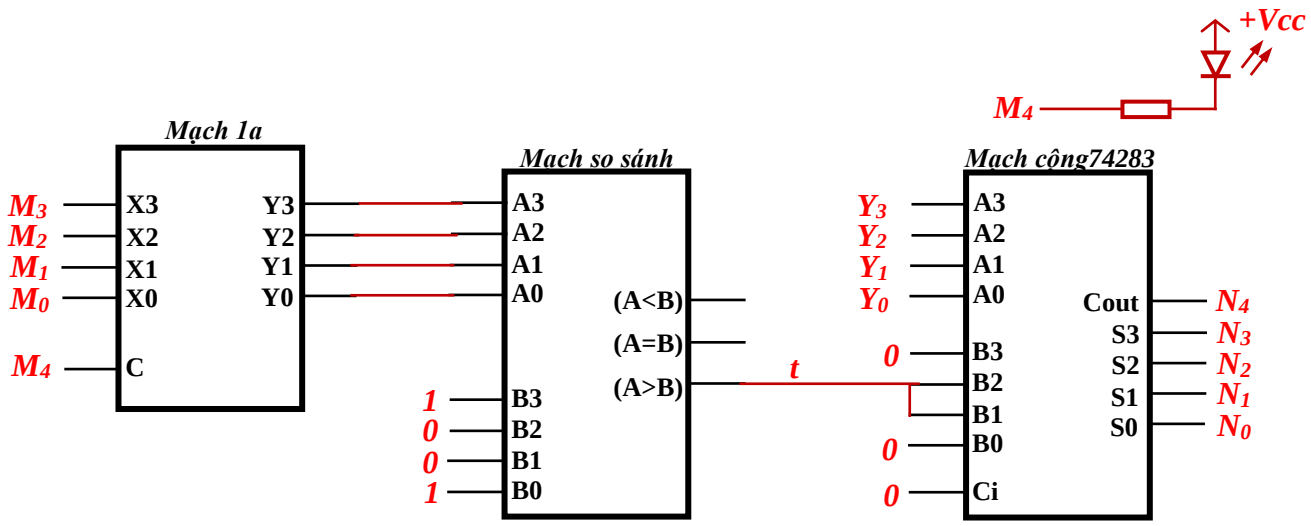
Sử dụng mạch cộng để làm bộ cộng/trừ
- C = 0 thì S = A+B với A=0 và B = X thì S = X
- C = 1 thì S = A – B với A = 0 và B = X thì S = – B = bù 2 của X



b. Thiết kế một mạch chuyển đổi số có dấu 5-bit ($M_4M_3M_2M_1M_0$) được biểu diễn trong hệ thống số bù 2 (chỉ lấy các giá trị từ **-15** đến **+15**) sang số BCD8421 (1-bit hàng chục N_4, 4-bit hàng đơn vị $N_3N_2N_1N_0$) bằng cách sử dụng kết quả ở câu a dưới dạng sơ đồ khối và kết hợp thêm một mạch cộng 4-bit (74283) với 1 mạch so sánh 4-bit. Dấu của kết quả được nhận biết bằng cách điều khiển một đèn led, nếu là số dương thì led sáng và ngược lại.

Trình bày cách làm và vẽ sơ đồ thiết kế

M_4 là bit dấu: số dương 00000 (0) -> 01111 (+15), số âm 10001 (-15) -> 11111 (-1)
- Dùng Mạch 1a để thực hiện lấy giá trị độ lớn: dương giữ nguyên, âm thì lấy bù 2 (4 bit $M_3M_2M_1M_0$)
- Từ độ lớn đổi sang giá trị BCD: nếu >9 thì cộng thêm 6 (0110), ngược lại giữ nguyên hay cộng thêm 0 (0000): dùng bộ so sánh để tìm giá trị >9 thì tạo tín hiệu t = 1, ngược lại t = 0. Dùng bộ cộng để cộng giá trị với 0tt0 (t= 0 là cộng 0000, t=1 là cộng 0110)
- Dùng bit dấu M_4 để điều khiển Led (giá trị dương M_4 = 0 thì làm Led sáng)

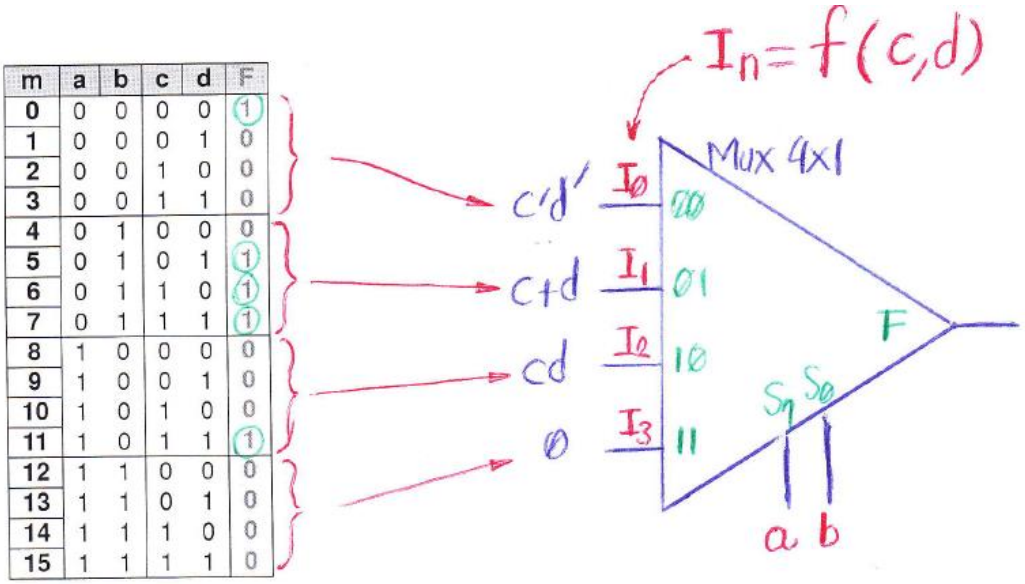


Câu 2: (2.0đ)

Cho $F(a,b,c,d) = \sum(0,5,6,7,11)$, thiết kế hàm F sử dụng:

a) 1 MUX 4-1 và các cổng logic (1đ)

$$\boldsymbol{D_0 = \bar{c}\bar{d} = \overline{c+d}, D_1 = c+d, D_2 = cd, D_3 = 0}$$



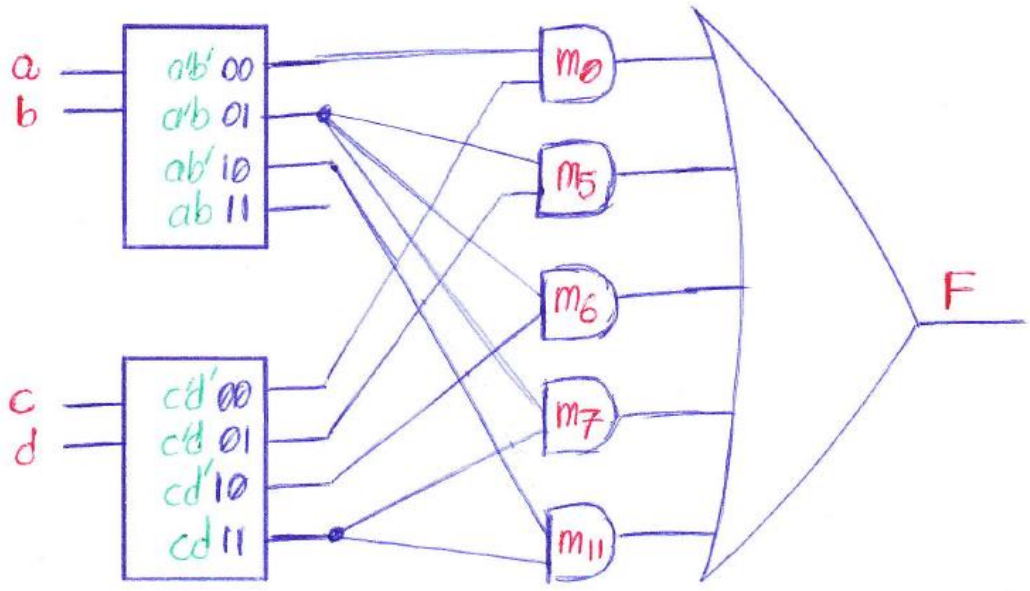
m	a	b	c	d	F
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	1
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	1
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	0

$$F(a,b,c,d) = \underset{m_0}{a'b'c'd'} + \underset{m_5}{a'bc'd} + \underset{m_6}{a'bcd'} + \underset{m_7}{a'bcd} + \underset{m_{11}}{ab'cd}$$

b) Tối đa 2 bộ giải mã 2-4 tích cực cao và các cổng logic (nếu cần) (1đ)

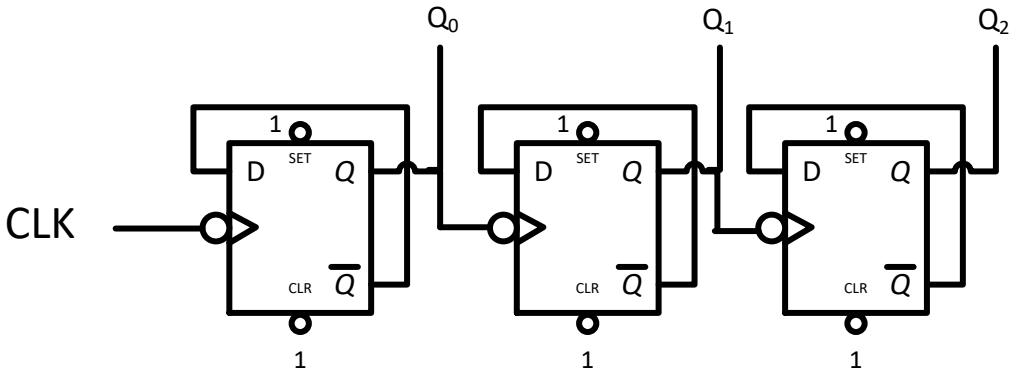
Nhiều đáp án (SV có thể dùng 1 hoặc 2 decoder đều được)

$$F(a,b,c,d) = \underset{m_0}{a'b'c'd'} + \underset{m_5}{a'bc'd} + \underset{m_6}{a'bcd'} + \underset{m_7}{a'bcd} + \underset{m_{11}}{ab'cd}$$



Câu 3: (2.0đ)

a) Sử dụng D_FF có ngõ vào xung clock kích theo cạnh xuống, các ngõ vào preset (Pr) và clear (Cl) tích cực mức thấp, thiết kế bộ đếm nối tiếp (bộ đếm bất đồng bộ) 3 bit $Q_2Q_1Q_0$ (với Q_2 là MSB) đếm lên đầy đủ. (1đ)



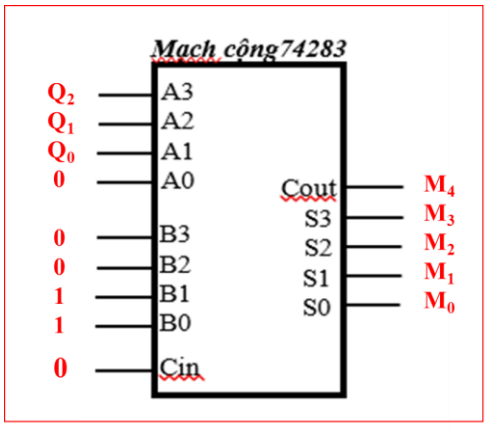
b) Sử dụng bộ đếm ở câu a, hãy thiết kế bộ đếm có dãy đếm 5-bit ($M_4M_3M_2M_1M_0$) sau (SV có thể sử dụng thêm bộ cộng song song 4-bit 74283)

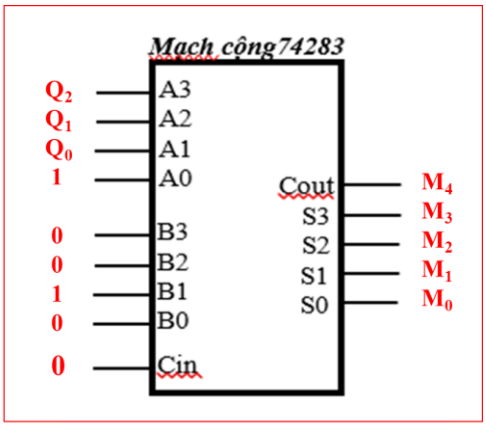
$$3 \rightarrow 5 \rightarrow 7 \rightarrow 9 \rightarrow 11 \rightarrow 13 \rightarrow 15 \rightarrow 17 \rightarrow 3 \ldots$$

Nhiều đáp án: (1đ)

M = 2X + 3 = 2(X+1) + 1 = (2X + 1) + 2 = …..

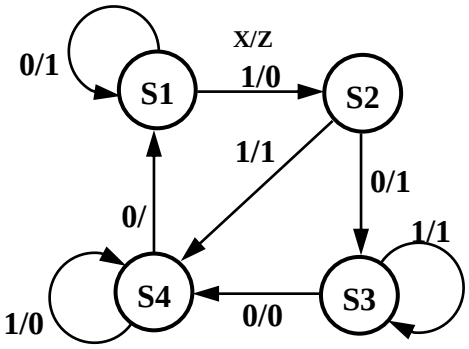
X = $Q_2Q_1Q_0$, ngõ ra của bộ đếm lên 3 bit (câu a)

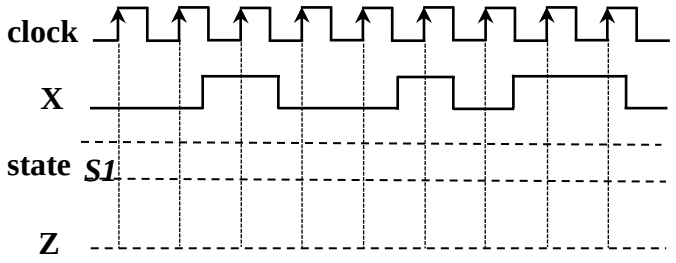


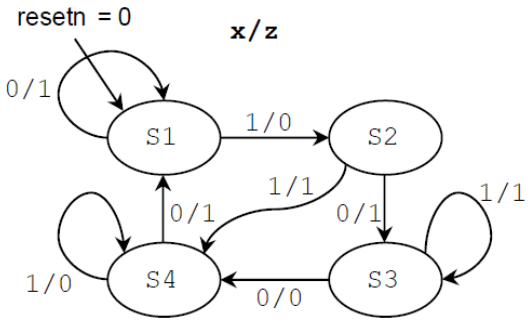


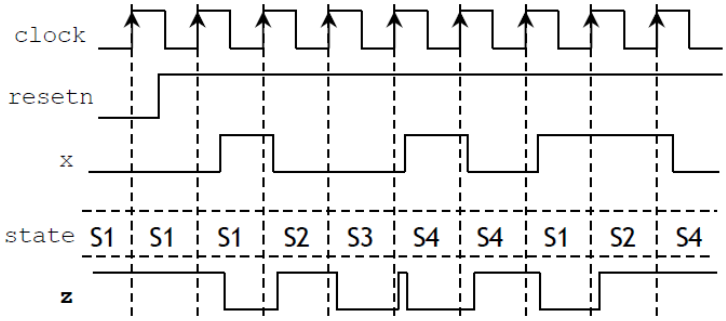
Câu 4: (1đ)

Hoàn thành giản đồ xung cho sau với giản đồ trạng thái cho trước:



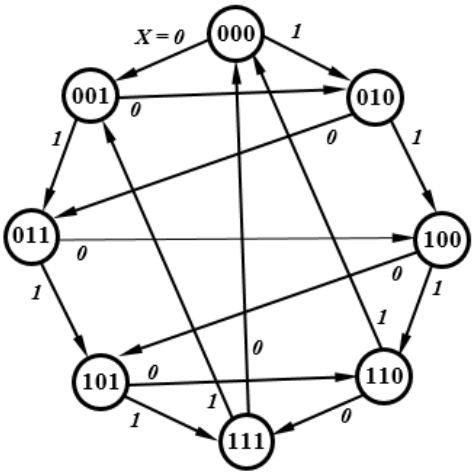






Câu 5: (2.5đ)

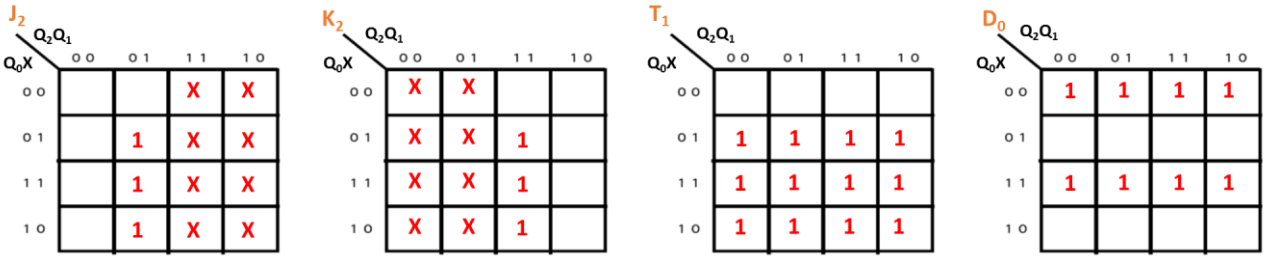
Cho hệ tuần tự có giản đồ trạng thái sau (có 1 ngõ vào X và 3 biến trạng thái $Q_2Q_1Q_0$) :



a) Lập bảng chuyển trạng thái và ngõ vào của từng FF (Q_2 sử dụng JK-FF, Q_1 sử dụng T-FF, Q_0 sử dụng D). (1.0đ)

Trạng thái hiện tại $Q_2\ Q_1\ Q_0$	Ngõ vào X	Trạng thái kế tiếp $Q_2^+\ Q_1^+\ Q_0^+$	Ngõ vào các FF $J_2\ K_2$	T_1	D_0
0 0 0	0	0 0 1	0 X	0	1
0 0 0	1	0 1 0	0 X	1	0
0 0 1	0	0 1 0	0 X	1	0
0 0 1	1	0 1 1	0 X	1	1
0 1 0	0	0 1 1	0 X	0	1
0 1 0	1	1 0 0	1 X	1	0
0 1 1	0	1 0 0	1 X	1	0
0 1 1	1	1 0 1	1 X	1	1
1 0 0	0	1 0 1	X 0	0	1
1 0 0	1	1 1 0	X 0	1	0
1 0 1	0	1 1 0	X 0	1	0
1 0 1	1	1 1 1	X 0	1	1
1 1 0	0	1 1 1	X 0	0	1
1 1 0	1	0 0 0	X 1	1	0
1 1 1	0	0 0 0	X 1	1	0
1 1 1	1	0 0 1	X 1	1	1

b) Dùng bìa K rút gọn và xác định biểu thức của các ngõ vào FF (1.0đ)



$J_2 = K_2 = Q_1X + Q_1Q_0$, $T_1 = X + Q_0$, $D_0 = \overline{Q_0}\bar{X} + Q_0X = Q_0 \oplus X$

c) Vẽ sơ đồ thiết kế bằng các FF và cổng cần thiết (FF sử dụng xung clock cạnh lên) (0.5đ)

Câu 6: (1.0đ)

Cho module **tst** có mô tả VHDL như sau:

```
library ieee;
use ieee.std_logic_1164.all;

entity tst is
	port ( a, b, c: in std_logic;
		z: out std_logic_vector(1 downto 0));
end tst;

architecture bhv of tst is
begin
	process (a,b,c)
	begin
		z <= a & c;
		if b = '1' then
			z <= "01";
		end if;
	end process;
end bhv
```

a) Hãy cho biết chức năng của module trên (0.5đ)

Khi b = '0' thì z(1) = a và z(0) = c
Khi b = '1' thì z(1) = '0' và z(0) = '1'

b) Hoàn thành giản đồ xung sau: (0.5đ)

